



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05108539 A**(43) Date of publication of application: **30.04.93**

(51) Int. Cl

**G06F 13/24**  
**G06F 9/06**  
**G06K 19/077**

(21) Application number: **03298001**(22) Date of filing: **17.10.91**(71) Applicant: **HITACHI LTD HITACHI MICOM SYST:KK**

(72) Inventor: **NAGASAKI NOBUTAKA**  
**TAKESHIMA MASAHIKO**  
**YAMAURA TADASHI**  
**KOBAYASHI MINORU**

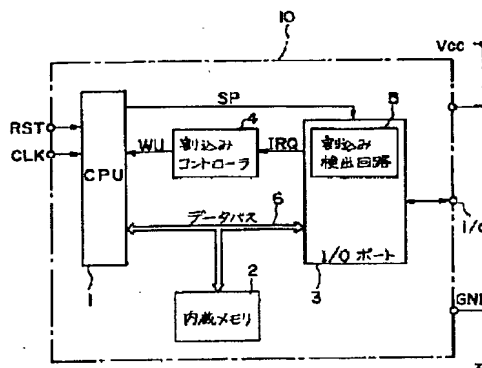
(54) **DATA PROCESSOR**

COPYRIGHT: (C)1993,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To set a low energy consumption state without increasing external terminals at a microcomputer for card in an ISO standard and further to completely return from the low energy consumption state to an original state.

**CONSTITUTION:** An interruption detecting circuit 5 is added to an I/O port 3 of the microcomputer having the low energy consumption state so as to detect the start bit of a transmitting data signal as an interrupted input. In the low energy consumption state, this interruption detecting circuit 5 is activated and the I/O port 3 is turned to an inactive state. In a normal operation state, the I/O port 3 is activated and the interruption detection circuit 5 is turned to the inactive state. In the low energy consumption state, an I/O terminal is functioned as an interruption terminal, and the state is changed into the normal operation state only by applying the transmitting data signal and interrupting a CPU. In the normal operation state, the I/O terminal is functioned as the input/output terminal of the transmitting data signal.



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-108539

(43) 公開日 平成5年 (1993) 4月30日

(51) Int. Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 13/24	3 1 0 A	8628-5B	G 0 6 K 19/00	K
9/06	4 5 0 K	8944-5B		
G 0 6 K 19/077				

審査請求 未請求 請求項の数 3 (全 6 頁)

(21) 出願番号 特願平3-298001

(22) 出願日 平成3年 (1991) 10月17日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(72) 発明者 長崎 信孝

東京都小平市上水本町5丁目22番1号 株式会社日立マイコンシステム内

(72) 発明者 竹島 雅彦

東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

(74) 代理人 弁理士 大日方 富雄

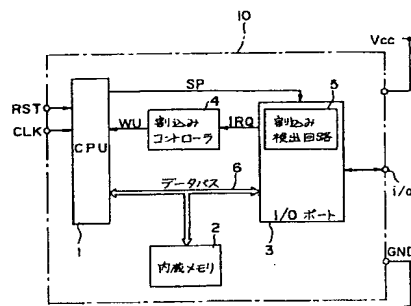
最終頁に続く

(54) 【発明の名称】 データ処理装置

(57) 【要約】

【構成】 低消費電力状態を有するマイクロコンピュータの I/Oポートに伝送データ信号のスタートビットを割込み入力として検出できる割込み検出回路を付加し、低消費電力状態ではこの割込み検出回路を活性化させかつ I/Oポートを非活性状態にさせるとともに、通常動作状態では I/Oポートを活性化させかつ割込み検出回路を非活性状態にさせるようにした。

【効果】 低消費電力状態では I/O端子が割込み端子として機能し、伝送データ信号を与えるだけで CPUに割込みがかかって通常動作状態へ移行するとともに、通常動作状態では I/O端子が伝送データ信号の入出力端子として機能するため、ISO規格のカード用マイクロコンピュータにおいて、何ら外部端子を増設することなく低消費電力状態を設定することができ、しかも低消費電力状態から完全に元の状態へ復帰することができる。



## 【特許請求の範囲】

【請求項1】 信号の外部入出力端子にI/Oポートとともに入力信号の変化を検出して割込み信号を発生させる割込み検出回路が接続され、上記割込み検出回路またはI/Oポートの何れか一方が選択的に活性化されるように構成されてなることを特徴とするデータ処理装置。

【請求項2】 低消費電力状態へ遷移可能に構成されたデータ処理装置であって、上記低消費電力状態へは所定の命令を実行することによって遷移するように構成されているとともに、低消費電力状態ではこの割込み検出回路が活性化され、通常動作状態ではI/Oポートが活性化されるように構成されてなることを特徴とする請求項1記載のデータ処理装置。

【請求項3】 上記外部入出力端子は調歩同期式のデータ信号の入出力端子であって、上記割込み検出回路は上記調歩同期式のデータ信号のスタートビットの立下りを検出するものであることを特徴とする請求項1または請求項2記載のデータ処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、半導体集積回路化されたデータ処理装置における状態遷移方式さらには低消費電力状態からの復帰方式に適用して特に有効な技術に関し、例えばICカード用マイクロコンピュータに利用して有効な技術に関する。

## 【0002】

【従来の技術】ICカードは内部にマイクロコンピュータを有し、ICカード内で種々の演算が可能であることから、磁気カードに比べて格段にセキュリティが向上するとともに、オフライン使用が可能であるため磁気カードや現金に代わるものとして、現在しだいに普及しつつある。そして、ICカードに使用されるマイクロコンピュータとして、ISO（国際標準化機構）により規格化されたものがある（例えば、株式会社日立製作所、平成2年2月発行、「H8/310ハードウェアマニュアル」参照）。ところでICカードにおいては端子数が充分にとれないことから、上記ISO規格のマイクロコンピュータでは、外部端子が電源電圧端子Vccと、リセット端子と、クロック端子と、接地電位端子GNDと、内蔵EPROMへの書き込み電圧を与える書き込み電圧端子Vppと、I/O端子と、将来規格化される2つのリザーブ端子の計8本とされている。

## 【0003】

【発明が解決しようとする課題】近年、ICカードの応用として自動車電話用IDカード等が考えられている。このような携帯機器で使用されるICカードは電池で駆動されることになる。この電池の消耗を少なくするには、搭載メモリを不揮発性メモリとすることやカード非使用時にマイクロコンピュータが回路の動作を停止状態（以下、スリープ状態と称する）へ遷移できるようにす

る方法が有効である。しかしながら、カード用マイクロコンピュータにおいて、このような低消費電力状態を設けた場合、低消費電力状態への遷移は例えば遷移命令を与えること等によって比較的容易に行なえるが、低消費電力状態ではCPUがスリープ状態にあるため動作状態への復帰は命令によって行なうことができない。そのため、動作状態への復帰はICカードの外部から例えばカードリーダ/ライタ等によって何らかの信号を与えなくてはならない。

10 【0004】しかるに、ISO規格のカード用マイクロコンピュータにあつては、上述したように外部端子の数が規定されているので、低消費電力状態から動作状態へ復帰させる信号を入力するための端子を新たに設けることができない。そのため、従来のISO規格のカード用マイクロコンピュータにあつては低消費電力状態を設定することができないという問題点があった。なお、マイクロコンピュータのリセット端子を利用すれば低消費電力状態から動作状態へ復帰させることも一応可能であるが、リセットをかけると内部が一旦初期状態に設定され  
20 てしまうので、低消費電力状態に移る前の状態を回復させたいような場合に、それができないという不都合がある。

【0005】この発明の目的は、ISO規格のカード用マイクロコンピュータにおいて、何ら外部端子を増設することなくかつ完全に元の状態を回復可能な低消費電力状態を設定することができるような半導体集積回路技術を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

## 【0006】

30 【課題を解決するための回路】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、低消費電力状態を有するマイクロコンピュータのI/Oポートに伝送データ信号のスタートビットを割込み入力として検出できる割込み検出回路を付加し、低消費電力状態ではこの割込み検出回路を活性化させかつI/Oポートを非活性状態にさせるとともに、通常動作状態ではI/Oポートを活性化させかつ割込み検出回路を非活性状態にさせるようにしたものである。  
40

## 【0007】

【作用】上記した回路によれば、低消費電力状態ではI/O端子が割込み端子として機能し、伝送データ信号を与えるだけでCPUに割込みがかかって通常動作状態へ移行するとともに、通常動作状態ではI/O端子が伝送データ信号の入出力端子として機能するため、ISO規格のカード用マイクロコンピュータにおいて、何ら外部端子を増設することなく低消費電力状態を設定することができ、しかも低消費電力状態から完全に元の状態へ復帰することができる。  
50

## 【0008】

【実施例】図1には、本発明をカード用マイクロコンピュータに適用した場合の一実施例が、また図2にはこのカード用マイクロコンピュータを搭載したカードと、これに接続されてデータの送受信を行なうカードリーダ/ライタとの関係が示されている。この実施例のカード用マイクロコンピュータ10は、ISO規格内の電源電圧端子Vccと、リセット端子RSTと、クロック端子CLKと、接地電位端子GNDと、I/O端子i/oの計5本の外部端子を備えている。そして、マイクロコンピュータ内部は、マイコン全体の制御を司るCPU（中央処理装置）1と、動作プログラムやテキストデータ等が格納される内蔵メモリ2と、データの入出力を行なうI/Oポート部3と、CPU1に対する割込みを発生する割込み制御回路4とから構成されている。特に制限されないが、上記内蔵メモリ2はEEPROM（電氣的に書き込み消去可能な不揮発性のリードオンリメモリ）とマスクROMおよびRAMとにより構成されており、チップ内部に内蔵EEPROMへの書き込み電圧を発生する昇圧回路を備えているため、書き込み電圧端子Vppは省略されている。

【0009】この実施例のカード用マイクロコンピュータは、所定の遷移命令によってクロックが停止されCPUおよびその周辺回路の動作が停止する状態へ遷移できるように構成されているとともに、上記I/Oポート部3には、低消費電力状態でI/O端子i/oに入力された伝送データの立下りを検出して状態復帰用の割込み信号を発生する割込み検出回路5が設けられている。また、CPU1は低消費電力状態へ遷移すると、この状態にあることを示すスリープ状態信号SPを出力したままその動作を停止するように構成されている。上記割込み検出回路5は、図3に示すように、例えばI/O端子i/oに入力された伝送データの立下りを検出しワンショットパルスを発生するエッジ検出回路51と、上記スリープ状態信号SPをコントロール信号としスリープ状態信号SPが有効レベル（スリープ状態にあることを示すレベル）にされているときに上記エッジ検出回路51で発生された検出信号を割込み信号IRQとして、上記割込み制御回路4に供給するANDゲート52とにより構成されている。

【0010】なお、図3において、31および32は上記I/O端子i/oに接続された出力バッファおよび入力バッファ、33は内部データバス6と上記出力バッファ31との間に接続された出力データ保持用のデータレジスタ、34は内部データバス6に接続されデータの伝送方向を指定するためのデータディレンションレジスタである。上記データレジスタ33およびデータディレンションレジスタ34は、CPU1から出力されるライト信号W1、W2のハイレベルによってそれぞれ内部データバス6を介して所定のデータが書き込まれるようにさ

れているとともに、低消費電力状態ではライト信号W1、W2のロウレベルによって非活性状態にされるようになっている。特に制限されないが、この実施例では、データレジスタ33は1ビットで構成され、データバス6上の1本の信号線に接続されており、I/O端子i/oより入力されたデータはシリアルデータのままCPU1へ送られ、CPU内でパラレルデータに変換されるようになっている。

【0011】一方、上記出力バッファ31は、低消費電力状態への遷移直前にデータディレンションレジスタ34にデータ“0”が書き込まれることにより発生されるロウレベルの出力制御信号OEにより非活性状態にされる。また、入力バッファ32は通常動作状態ではCPU1から出力されるリード信号R1のハイレベルによって活性化されるとともに、低消費電力状態ではリード信号R1のロウレベルによって非活性状態にされる。次に、上記カード用マイクロコンピュータにおける低消費電力状態から通常動作状態への復帰手順について説明する。なお、通常動作状態から低消費電力状態への移行はCPU1が遷移命令を実行することにより行なわれる。この遷移命令は、カードリーダ/ライタがカード用マイクロコンピュータに対してI/O端子を介して低消費電力状態への移行を指示するコマンドを与えることで実行される。このコマンドは、図4に示すような調歩同期式のシリアルデータの形でカードリーダ/ライタからカード用マイクロコンピュータに対して与えられる。

【0012】低消費電力状態において図4のようなデータがカード用マイクロコンピュータのI/O端子に入力されると、エッジ検出回路51がデータ先頭のスタートビットSBの立下りを検出してワンショットパルスを発生する。この検出パルスが割込み信号IRQとしてそのときスリープ状態信号SPによって活性化されているANDゲート52を通して割込み制御回路4に供給される。すると、割込み制御回路4から出力される起動信号WUによってクロックの形成が再開されるとともに、CPU1内部の回路が活性化されてCPU1が起動され、通常動作状態に移行する。CPU1が通常動作状態に移行すると、スリープ状態信号SPが無効レベルに変化されるとともに、リード信号R1が有効レベルにアサートされ入力バッファ32が活性化される。これが上記受信データのスタートビットSBの有効期間中になされるため、スタートビットSBに続いて入ってくるビットデータb0、b1、……b7が、データバス6を介してCPU1に供給される。また、CPU1が起動されるとスリープ状態信号SPが無効レベルに変化されANDゲート52が閉じられるため、エッジ検出回路51がビットデータの立下りを検出しても割込み制御回路4に対して割込み信号が供給されることがない。

【0013】図5には上記カード用マイクロコンピュータの状態遷移図が示されている。通常動作状態S1から

スリープ状態S2への移行は遷移命令によってなされ、スリープ状態S2から抜け出すにはリセット端子RSTを用いてリセットをかける方法と、I/O端子へのデータ入力とがある。リセットをかけた場合にはリセット状態S3を経て、またI/O端子へデータを入力した場合には直接、例外処理状態S4へ移行してそれぞれ対応するベクタアドレスを発生して、例外処理終了後に自動的に通常動作状態S1へ移行する。このとき、リセットによる例外処理の場合にはCPU1は初期状態からスタートし、スリープ状態S2からの例外処理の場合にはCPU1はスリープ状態S2へ移行する前の状態に復帰する。

【0014】以上説明したように、この発明は、低消費電力状態を有するマイクロコンピュータのI/Oポートに伝送データ信号のスタートビットを割込み入力として検出できる割込み検出回路を付加し、低消費電力状態ではこの割込み検出回路を活性化させかつI/Oポートを非活性状態にさせるとともに、通常動作状態ではI/Oポートを活性化させかつ割込み検出回路を非活性状態にさせるようにしたので、低消費電力状態ではI/O端子が割込み端子として機能し、伝送データ信号を与えるだけでCPUに割込みがかかって通常動作状態へ移行するとともに、通常動作状態ではI/O端子が伝送データ信号の入出力端子として機能するため、ISO規格のカード用マイクロコンピュータにおいて、何ら外部端子を増設することなく低消費電力状態を設定することができ、しかも低消費電力状態から完全に元の状態へ復帰することができるという効果がある。

【0015】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば上記実施例では、データレジスタを1ビット構成とし、I/O端子より入力されたデータはシリアルデータのままCPU1へ送り、CPU内でパラレルデータに変換するようになっているとしたが、データレジスタとデータバス

との間にシフトレジスタ等からなるシリアル-パラレル変換回路を設けて、受信データをパラレルデータに変換してCPUへ送るように構成することも可能である。

【0016】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるカード用マイクロコンピュータに適用した場合について説明したが、この発明はそれに限定されるものでなく、通信機能を備えたデータ処理装置一般に利用することができる。

#### 10 【0017】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、ISO規格のカード用マイクロコンピュータにおいて、何ら外部端子を増設することなくかつ完全に元の状態を回復可能な低消費電力状態を設定することができる。

#### 【図面の簡単な説明】

【図1】本発明をカード用マイクロコンピュータに適用した場合の一実施例を示すブロック図である。

20 【図2】上記実施例のカード用マイクロコンピュータを搭載したカードと接続されデータの送受信を行なうカードリーダー/ライタとの関係を示すシステム構成図である。

【図3】本実施例のカード用マイクロコンピュータにおけるI/Oポート部の構成例を示すブロック図である。

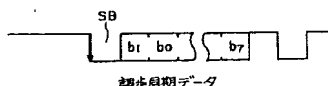
【図4】カード用マイクロコンピュータとカードリーダー/ライタとの間で送受信されるデータの構成例を示す図である。

30 【図5】上記実施例のカード用マイクロコンピュータにおける状態遷移図である。

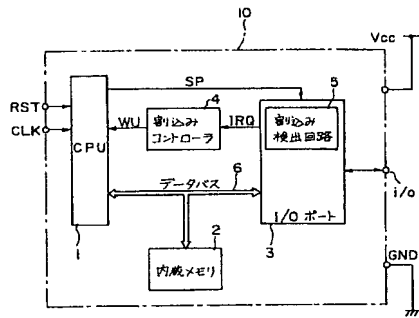
#### 【符号の説明】

- 1 CPU
- 2 内蔵メモリ
- 3 I/Oポート部
- 4 割込み制御回路
- 5 割込み検出回路

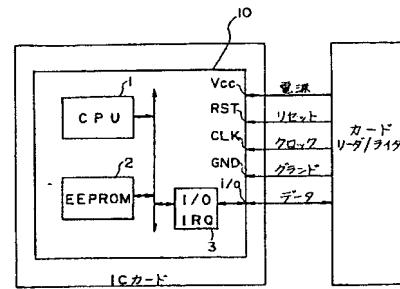
【図4】



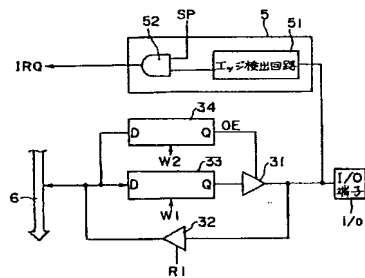
【図1】



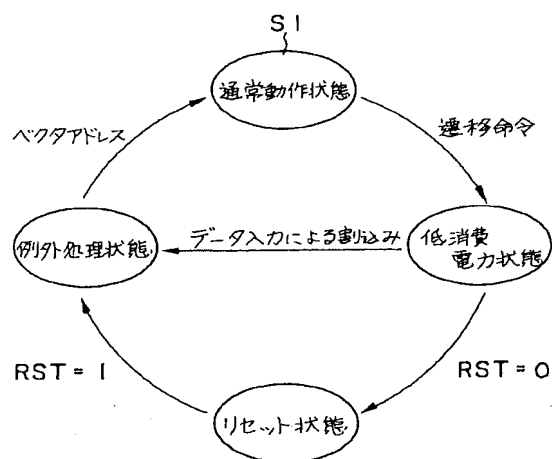
【図2】



【図3】



【図5】



---

フロントページの続き

(72)発明者 山浦 忠  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所武蔵工場内

(72)発明者 小林 稔  
東京都小平市上水本町5丁目22番1号 株  
式会社日立マイコンシステム内